

METHOD FOR FORMING PLATINUM METAL LAYER AND CAPACITOR MANUFACTURING METHOD USING THE SAME

Patent number: JP10303397

Publication date: 1998-11-13

Inventor: PARK YOUNG-SOH; LEE SANG-IN; HWANG CHEOL-SEONG;
HWANG DOO-SUP; CHO HAG-JU

Applicant: SAMSUNG ELECTRON CO LTD

Classification:

- international: H01L27/108; H01L21/8242; C23C14/14; C23C14/58; H01L21/28;
H01L27/04; H01L21/822

- european:

Application number: JP19980053764 19980305

Priority number(s):

Also published as:

EP0872880 (A)
US6001660 (A)
EP0872880 (A)

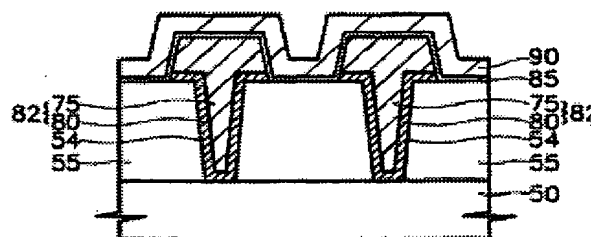
BEST AVAILABLE COPY

Abstract of JP10303397

PROBLEM TO BE SOLVED: To provide a platinum metal layer forming method for filling an opening part and a capacitor manufacturing method, with which the formation of storage electrode is facilitated while preventing the contact defect of storage electrode caused by oxygen diffusion by applying this forming method to capacitor manufacture.

SOLUTION: On a semiconductor substrate, where an opening part 43 like a storage contact hole is formed, a platinum metal layer 44 is formed for thickness almost from 1000 \AA to 2000 \AA . By applying heat higher than about 650 deg.C to this platinum metal layer 44 and letting it reflow, the opening part 43 is filled.

FIG. 4F



Data supplied from the **esp@cenet** database - Patent Abstracts of Japan

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-303397

(43)公開日 平成10年(1998)11月13日

(51)Int.Cl.⁵
H 0 1 L 27/108
21/8242
C 2 3 C 14/14
14/58
H 0 1 L 21/28 3 0 1

識別記号

F I
H 0 1 L 27/10 6 2 1 B
C 2 3 C 14/14 D
14/58 A
H 0 1 L 21/28 3 0 1 R
27/04 C

審査請求 未請求 請求項の数44 O L (全 17 頁) 最終頁に続く

(21)出願番号 特願平10-53764
(22)出願日 平成10年(1998) 3 月 5 日
(31)優先権主張番号 1 9 9 7 1 4 1 9 5
(32)優先日 1997年 4 月 17 日
(33)優先権主張国 韓国 (K R)

(71)出願人 390019839
三星電子株式会社
大韓民国京畿道水原市八達区梅灘洞416
(72)発明者 朴 英昭
大韓民国京畿道城南市盆唐区亭子洞198番
地宇成アパート610棟602號
(72)発明者 李 相▲忍▼
大韓民国京畿道水原市八達区梅灘 2 洞197
番地東南ビル9 棟101號
(72)発明者 ▲黄▼ 哲盛
大韓民国京畿道城南市盆唐区二梅洞133番
地アルムマウル三湖アパート401棟804號
(74)代理人 弁理士 志賀 正武 (外 1 名)

最終頁に続く

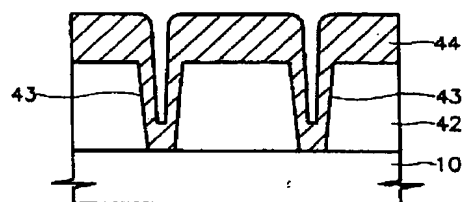
(54)【発明の名称】 白金族金属層の形成方法及びこれを用いたキャパシタ製造方法

(57)【要約】

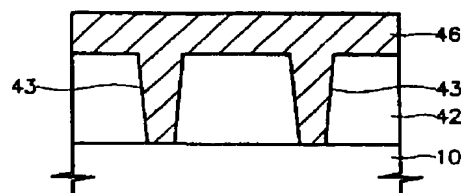
【課題】 開口部を充填する白金族金属層形成方法と、これをキャパシタ製造に適用して、酸素拡散により発生されるストレージ電極の接触不良が防止され、ストレージ電極形成が容易であるキャパシタ製造方法を提供する。

【解決手段】 ストレージコンタクトホールのような開口部43が形成された半導体基板40上に、白金族金属層44を約1000オングストローム～2000オングストローム程度の厚さで形成する。この白金族金属層44に約650℃以上の熱を加えてリフローさせることによって開口部43を充填する。

(a)



(b)



【特許請求の範囲】

【請求項1】 半導体の基板上に物質層を形成する段階と、
前記物質層の所定部位を蝕刻して開口部を形成する段階と、
開口部が形成された前記基板全面に白金族金属を蒸着する段階と、
前記白金族金属を650℃以上の温度に加熱して前記開口部を充填するようにリフローさせる段階を具備することを特徴とする白金族金属層の形成方法。

【請求項2】 前記物質層は不純物がドーブされない酸化物より形成することを特徴とする請求項1に記載の白金族金属層の形成方法。

【請求項3】 前記白金族金属は白金、ルテニウム、イリジウム、ロジウム、オスミウム、ルテニウム酸化物、イリジウム酸化物の中で選択されたいずれか一つを使用することを特徴とする請求項1に記載の白金族金属層の形成方法。

【請求項4】 前記白金族金属は1000オングストローム～2000オングストロームの厚さで形成することを特徴とする請求項1に記載の白金族金属層の形成方法。

【請求項5】 前記リフローは650℃～900℃の温度、大気圧下の窒素雰囲気中で5分～1時間実施することを特徴とする請求項1に記載の白金族金属層の形成方法。

【請求項6】 半導体の基板上に層間絶縁層を形成する段階と、
前記層間絶縁層をバタニングして前記基板の所定部位を露出させるストレージコンタクトホールを形成する段階と、
ストレージコンタクトホールが形成された前記基板の全面にバリアー金属を蒸着して、前記層間絶縁層の上面及び前記ストレージコンタクトホールの表面にバリアー層を形成する段階と、
前記バリアー層上に白金族金属を蒸着して金属層を形成する段階と、
前記金属層を650℃以上の温度に加熱してリフローさせることによって、前記ストレージコンタクトホールを充填し、前記層間絶縁層上に所定の厚さを有するリフローされた金属層を形成する段階と、
前記リフローされた金属層とバリアー層をバタニングして、金属層パターン及びバリアー層パターンを含むストレージ電極パターンを形成する段階と、
前記金属層パターン上に誘電体膜を形成する段階と、
前記誘電体膜上にプレート電極を形成する段階を具備することを特徴とするキャパシタ製造方法。

【請求項7】 前記層間絶縁層は不純物がドーブされない酸化物で形成することを特徴とする請求項6に記載のキャパシタ製造方法。

【請求項8】 前記バリアー層はTiN、YiN、CoSi、TaSiN、TiSiN、TaSi、TiSi、Ta及びTa₂Nの中で選択されたいずれか一つで形成することを特徴とする請求項6に記載のキャパシタ製造方法。

【請求項9】 前記金属層は白金、ルテニウム、イリジウム、ロジウム、オスミウム、ルテニウム酸化物、イリジウム酸化物の中で選択されたいずれか一つで形成することを特徴とする請求項6に記載のキャパシタ製造方法。

10 【請求項10】 前記金属層は白金で形成することを特徴とする請求項6に記載のキャパシタ製造方法。

【請求項11】 前記誘電体膜は(Ba、Sr)TiO₃、(Pb、Zr)TiO₃、Ta₂O₅、SiO₂、SiN₄、SrTiO₃、PZT、SrBi₂Ta₂O₉、(Pb、La)(Zr、Ti)O₃、Bi₄Ti₃O₁₂中选择されたいずれか一つで形成することを特徴とする請求項6に記載のキャパシタ製造方法。

【請求項12】 バリアー層を形成する前記段階前、ストレージコンタクトホールの底面に基板との接触抵抗を減少させるための金属シリサイド層を形成する段階をさらに具備することを特徴とする請求項6に記載のキャパシタ製造方法。

【請求項13】 金属層を形成する前記段階前、前記バリアー層と金属層の間にIr、Ru、RuO₂及びIrO₂の中で選択されたいずれか一つを使用した酸素拡散防止膜をさらに形成することを特徴とする請求項6に記載のキャパシタ製造方法。

【請求項14】 前記金属層は、1000オングストローム～2000オングストロームの厚さで形成することを特徴とする請求項6に記載のキャパシタ製造方法。

20 【請求項15】 前記リフローは650℃～900℃の温度、大気圧下の窒素雰囲気中で5分～1時間実施することを特徴とする請求項6に記載のキャパシタ製造方法。

【請求項16】 バリアー層を形成する前記段階前、ストレージコンタクトホールの一部を充填する導電性プラグを形成する段階をさらに具備することを特徴とする請求項6に記載のキャパシタ製造方法。

【請求項17】 導電性プラグを形成する前記段階は、前記ストレージコンタクトホールを充填し、層間絶縁層上に一定の厚さを有する導電層を形成する段階と、
40 層間絶縁層上の前記導電層をエッチバックして除去する段階と、
ストレージコンタクトホールを充填する前記導電層の一部をオーバーエッチングして除去する段階を具備することを特徴とする請求項16に記載のキャパシタ製造方法。

【請求項18】 導電性プラグを形成する前記段階は、前記ストレージコンタクトホールを充填し、前記層間絶縁層上に一定の厚さを有する導電層を形成する段階と、
層間絶縁層上の前記導電層を化学・機械的研磨して除去する段階と、
50 ストレージコンタクトホール内部の前記導電層一部を、

前記導電層と層間絶縁層の蝕刻選択比を調節した化学-機械的研磨を利用して除去する段階を具備したことを特徴とする請求項16に記載のキャパシタ製造方法。

【請求項19】 金属層を形成する前記段階前、前記バリアー層がストレージコンタクトホール内にだけ形成されるように層間絶縁層の上面に形成された前記バリアー層を除去する段階をさらに具備し、ストレージ電極パターンを形成する前記段階は、前記金属層だけをバタニングすることを特徴とする請求項6に記載のキャパシタ製造方法。

【請求項20】 バリアー層を形成する前記段階の前に、前記ストレージコンタクトホールの一部を充填する導電性プラグを形成する段階をさらに具備することを特徴とする請求項19に記載のキャパシタ製造方法。

【請求項21】 半導体基板上に層間絶縁層を形成する段階と、前記層間絶縁層をバタニングして前記基板の所定部位を露出させるコンタクトホールを形成する段階と、前記ストレージコンタクトホールを充填する導電性プラグを形成した後、オーバエッチングして前記ストレージコンタクトホール上端を所定の厚さで蝕刻する段階と、蝕刻された前記ストレージコンタクトホールの上端を充填してその側面が露出されないバリアー層パターンを形成する段階と、前記層間絶縁層上に、ストレージ電極が形成される部分が開口されたエッチングストッパを形成する段階と、エッチングストッパが形成された前記基板の全面に、白金族金属を蒸着して金属層を形成する段階と、前記金属層を650℃以上の温度に加熱してリフローさせることにより、エッチングストッパにより開口された部分を充填し、前記エッチングストッパ上に所定の厚さを有するリフローされた金属層を形成する段階と、前記リフローされた金属層を前記エッチングストッパが露出されるまで除去して金属層パターンを形成する段階と、前記金属層パターン上に誘電体膜を形成する段階と、前記誘電体膜上にプレート電極を形成する段階を具備することを特徴とするキャパシタ製造方法。

【請求項22】 前記金属層は白金で形成することを特徴とする請求項21に記載のキャパシタ製造方法。

【請求項23】 前記金属層は1000オングストローム～2000オングストロームの厚さで形成することを特徴とする請求項21に記載のキャパシタ製造方法。

【請求項24】 前記金属層のリフローは、650℃～900℃の温度、大気圧下の窒素雰囲気中で5分～1時間行なうことを特徴とする請求項21に記載のキャパシタ製造方法。

【請求項25】 前記金属層パターンは、前記エッチングストッパが露出されるまで前記リフローされた金属層

を化学-機械的研磨して形成することを特徴とする請求項21に記載のキャパシタ製造方法。

【請求項26】 金属層パターンを形成する前記段階後、

前記エッチングストッパを除去する段階をさらに具備して、前記誘電体膜が前記金属層パターンの上面及び側面に形成されるようにすることを特徴とする請求項21に記載のキャパシタ製造方法。

【請求項27】 層間絶縁層を形成する前記段階後、層間絶縁層上に蝕刻防止層を形成する段階をさらに具備し、前記ストレージコンタクトホールは、前記蝕刻防止層及び層間絶縁層を次第に蝕刻して形成することを特徴とする請求項21に記載のキャパシタ製造方法。

【請求項28】 前記金属層は、前記蝕刻防止層が露出されるまで前記リフローされた金属層とエッチングストッパを全面エッチバックして形成することを特徴とする請求項27に記載のキャパシタ製造方法。

【請求項29】 前記エッチングストッパは酸化物で形成し、前記蝕刻防止層は窒化物で形成することを特徴とする請求項27に記載のキャパシタ製造方法。

【請求項30】 半導体基板上に層間絶縁層を形成する段階と、前記層間絶縁層をバタニングして前記基板の所定部位を露出させるストレージコンタクトホールを形成する段階と、

ストレージコンタクトホールが形成された前記基板の全面にバリアー金属を蒸着して、前記層間絶縁層の上面及び前記ストレージコンタクトホールの表面にバリアー層を形成する段階と、

前記バリアー層上に、ストレージ電極が形成される部分が開口されたエッチングストッパを形成する段階と、エッチングストッパが形成された前記基板の全面に、白金族金属を蒸着して金属層を形成する段階と、前記金属層を650℃以上の温度に加熱してリフローさせることによって、エッチングストッパにより開口された部分とストレージコンタクトホールを充填し、前記エッチングストッパ上に所定の厚さを有するリフローされた金属層を形成する段階と、

前記リフローされた金属層を前記エッチングストッパが露出されるまで除去して金属層パターンを形成する段階と、

前記エッチングストッパを除去する段階と、前記金属層パターンを蝕刻マスクとして前記バリアー層をバタニングすることで前記金属層パターン下に制限されるバリアー層パターンを形成する段階と、

前記金属層パターン上に誘電体膜を形成する段階と、前記誘電体膜上にプレート電極を形成する段階を具備することを特徴とするキャパシタ製造方法。

【請求項31】 前記金属層は白金で形成することを特徴とする請求項30に記載のキャパシタ製造方法。

10

20

30

40

50

【請求項32】 前記金属層は1000オングストローム～2000オングストロームの厚さで形成することを特徴とする請求項30に記載のキャパシタ製造方法。

【請求項33】 前記リフローは650℃～900℃の温度、大気圧下の窒素雰囲気中で5分～1時間実施することを特徴とする請求項30に記載のキャパシタ製造方法。

【請求項34】 前記金属層パターンは、前記エッチングストップパが露出されるまで前記リフローされた金属層を化学-機械的に研磨して形成することを特徴とする請求項30に記載のキャパシタ製造方法。

【請求項35】 バリヤー層を形成する前記段階前、前記ストレージコンタクトホールの一部を充填する導電性プラグを形成する段階をさらに具備することを特徴とする請求項30に記載のキャパシタ製造方法。

【請求項36】 前記金属層パターンは、前記バリヤー層が露出されるまで前記リフローされた金属層とエッチングストップパを全面エッチバックして形成することを特徴とする請求項30に記載のキャパシタ製造方法。

【請求項37】 バリヤー層を形成する前記段階前、前記ストレージコンタクトホールの一部を充填する導電性プラグを形成する段階をさらに具備することを特徴とする請求項36に記載のキャパシタ製造方法。

【請求項38】 半導体基板上に層間絶縁層を形成する段階と、前記層間絶縁層をパタニングして前記基板の所定部位を露出させるストレージコンタクトホールを形成する段階と、

ストレージコンタクトホールが形成された前記基板の全面にバリヤー金属を蒸着して、前記層間絶縁層の上面及び前記ストレージコンタクトホール表面にバリヤー層を形成する段階と、

層間絶縁層の上面に形成された前記バリヤー層を除去して、ストレージコンタクトホール表面に限られたバリヤー層パターンを形成する段階と、

前記層間絶縁層上に、ストレージ電極が形成される部分が開口されたエッチングストップパを形成する段階と、エッチングストップパが形成された前記基板の全面に、白金族金属を蒸着して金属層を形成する段階と、

前記金属層を650℃以上の温度に加熱してリフローさせることによって、エッチングストップパにより開口された部分とストレージコンタクトホールを充填し、前記エッチングストップパ上に所定の厚さを有するリフローされた金属層を形成する段階と、

前記リフローされた金属層を前記エッチングストップパが露出されるまで除去して金属層パターンを形成する段階と、

前記金属層パターン上に誘電体膜を形成する段階と、前記誘電体膜上にプレート電極を形成する段階を具備することを特徴とするキャパシタ製造方法。

【請求項39】 層間絶縁層を形成する前記段階後、層間絶縁層上に蝕刻防止層を形成する段階をさらに具備し、前記ストレージコンタクトホールは、前記蝕刻防止層及び層間絶縁層を次第に蝕刻して形成することを特徴とする請求項38に記載のキャパシタ製造方法。

【請求項40】 金属層パターンを形成する前記段階後、

前記エッチングストップパを除去する段階をさらに具備して前記誘電体膜が前記金属層パターンの上面及び側面に形成されるようにすることを特徴とする請求項38に記載のキャパシタ製造方法。

【請求項41】 前記金属層パターンは、前記エッチングストップパが露出されるまで前記リフローされた金属層を化学-機械的に研磨して形成することを特徴とする請求項38に記載のキャパシタ製造方法。

【請求項42】 バリヤー層を形成する前記段階前、前記ストレージコンタクトホールの一部を充填する導電性プラグを形成する段階をさらに具備することを特徴とする請求項41に記載のキャパシタ製造方法。

【請求項43】 前記金属層パターンは、前記蝕刻防止層が露出されるまで前記リフローされた金属層とエッチングストップパを全面エッチバックして形成することを特徴とする請求項38に記載のキャパシタ製造方法。

【請求項44】 バリヤー層を形成する前記段階前、前記ストレージコンタクトホールの一部を充填する導電性プラグを形成する段階をさらに具備することを特徴とする請求項43に記載のキャパシタ製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に係り、特に白金族金属層の形成方法及びこれを用いたキャパシタ製造方法を提供する。

【0002】

【従来の技術】メモリセルの面積減少に従うセルキャパシタンス減少はメモリ装置の集積度の増加に深刻な障害要因になっているし、一般的に使われてきた窒化物/酸化物(以下、NO)またはタンタルオキシドのような誘電物質を以ては望みのセルキャパシタンスが確保し難い。従って、最近Ba(Sr, Ti)O₃(以下「BST」という)やPb(Zr, Ti)O₃(以下「PZT」という)のように、既存のNO₂に比べて誘電率が百倍以上高い高誘電物質を利用してキャパシタの誘電体膜を形成する方法に対する研究が進行されているが、この場合、電極物質として、耐酸化性に優れ、BSTまたはPZT薄膜元素と相互拡散が比較的少ない白金族金属またはその酸化物金属を利用することが最も望ましいことに知られている。

【0003】このような白金族金属またはその酸化物金属(以下、白金族金属と呼ぶ)でキャパシタ電極を形成する時には、白金族金属と、導電性プラグとして使用されるポリシリコンや基板シリコンとの反応を防止し、誘

電体膜の蒸着時ソースとして用いられる酸素の拡散を防止するためのバリアー層を必ず形成する必要がある。図1(a)及び(b)は、従来技術による白金を用いたキャパシタストレージ電極形成方法を説明するために示した断面図である。

【0004】図1(a)を参照すると、半導体基板10の上に形成された絶縁層12を部分的に蝕刻してストレージコンタクトホール14を形成し、その結果物上にポリシリコンを蒸着した後エッチバックしてストレージコンタクトホール14を充填する導電性ブラグ16を形成する。導電性ブラグ16が形成された結果物上にバリアー層としてチタニウム窒化膜18を形成し、チタニウム窒化膜18の上に白金を蒸着して白金層20を形成した後、その上に蝕刻マスクとして使われる酸化膜を形成しパタニングしてマスクパターン22を形成する。

【0005】図1(b)を参照すると、前記マスクパターン22を蝕刻マスクとして使用し、前記白金層20及びチタニウム窒化膜18を次第に蝕刻して白金層パターン24及びバリアー層パターン26を形成する。引き続き、前記マスクパターン22を除去し、バリアー層パターン26及び白金層パターン24よりなるストレージ電極27が形成された基板上に、BSTまたはPZTを通常の方法、例えばスパッタリングまたはMOCVD方法で蒸着して誘電体膜28を形成し、その上にプレート電極30を形成する。上記のように、BSTまたはPZTなどの高誘電物質を利用してキャパシタを形成すると、キャパシタンスの増加ができるが、その電極物質に用いられる白金族金属及びバリアー層に用いられるチタニウム窒化膜により次のような問題が発生される。

【0006】第一に、誘電体膜の形成時、露出されたバリアー層の側面に浸透される酸素の拡散によって半導体素子の電気的特性が低下する。白金層パターン24の形成後、バリアー層パターン26の側面が露出された状態で誘電体膜28を形成すると、バリアー層パターン26の側面から酸素が容易に広がる。特に、BSTやPZTなどの高誘電体膜28は高温及び酸素雰囲気中で形成されるので、このような問題がさらに深刻に発生する。よってバリアー層パターン26の一部が酸化され、導電性ブラグ16をバリアー層パターン26またはバリアー層パターン26と白金層パターン24の界面に絶縁層のチタニウム酸化膜(TiO_2 、図示せず)が形成される。このチタニウム酸化膜は導電性ブラグ14、バリアー層パターン26及び白金層パターン24よりなるストレージ電極の接触不良、極端の場合にはストレージ電極の短絡を誘発したりする。また、このチタニウム酸化膜によりバリアー層パターン26の酸素または金属原子の拡散防止機能が低下されてストレージ電極と半導体基板の間に漏洩電流が発生するようになる。

【0007】第二に、ストレージ電極、特に白金層パターン24を厚く形成するべきであるのでパタニングが難

しく、キャパシタが形成されない部分との段差が深化される。ストレージ電極の中で白金層パターン24が薄く形成されると、酸素が白金層パターン24を通過してバリアー層パターン26と結びつくことが防止できないので、通常白金層パターン24を2000オングストローム以上の厚さで形成するようになる。しかし、白金は非常に硬くて安定した耐熱性金属であるので、他の化学物質と反応し難いし、反応性イオン蝕刻方法のような乾式蝕刻により容易に蝕刻されない。従って、2000オングストローム以上の厚さで形成する場合そのパタニングが非常に難しいし、キャパシタ周辺での段差が大きくなる。

【0008】第三に、白金と蝕刻選択比が大きいマスクを確保することが難しい。通常的に、蝕刻マスクに使われるためには蝕刻しようとする物質層よりマスクに使われる物質の蝕刻率が低いべきである。しかし、言及したように、白金族金属の蝕刻が難しいので、これより低い蝕刻率を有する蝕刻マスクを確保することが非常に難しい。

【0009】

【発明が解決しようとする課題】本発明がな達成しようとする技術的課題は、酸素拡散により発生されるストレージ電極の接触不良が防止できるキャパシタ製造方法を提供することである。本発明が達成しようとする他の技術的課題は、ストレージ電極形成の容易のキャパシタ製造方法を提供することである。本発明が達成しようとするまた他の技術的課題は、前記技術的課題及び他の技術的課題を達成するためのキャパシタ製造に使われる白金族金属層の形成方法を提供することである。

【0010】

【発明を解決するための手段】前記課題を達成するために本発明は、ストレージコンタクトホールのような開口部が形成された半導体基板上に白金族金属層を約1000オングストローム～2000オングストローム程度の厚さで形成し、この白金族金属層に約650℃以上の熱を加えてリフローさせることによって開口部を充填する。

【0011】このような白金族金属層のリフローをキャパシタのストレージ電極形成時適用する。即ち、半導体基板上に形成された層間絶縁層を貫通して形成されたストレージコンタクトホールの内部にバリアー層及び白金族金属層を形成した後、白金族金属層をリフローさせてストレージコンタクトホールを充填する。次いで、白金族金属層及びバリアー層をパタニングして白金族金属層パターン及びバリアー層パターンよりなるストレージ電極を形成する。一方、バリアー層の形成前、ストレージコンタクトホールのアスペクト比を向上させるためにストレージコンタクトホール内部の一部を充填する導電性ブラグを形成することもある。

【0012】これにより、白金族金属層の厚さが、従来

の場合に比べてストレージコンタクトホール内部に形成される厚さだけにさらに厚くなる。結果的に、誘電体膜形成時、白金族金属層の表面またはバリアー層の側面に浸透した酸素が、実際バリアーの役割をする部分のバリアー層と接触するための拡散距離が長くなる。従って、バリアー層の酸化が抑制され、ストレージ電極の接触不良が防止される。また、層間絶縁層上に形成されるストレージ電極を厚くしなくてもいいので、従来に比べてバタニングが容易なだけでなく、キャパシタを形成しない部分との段差を減少させる。

【0013】前記課題を達成するために、本発明は、また、層間絶縁層を貫通して形成されたストレージコンタクトホール内部を充填する導電性プラグとバリアー層を形成する。層間絶縁層上にストレージ電極が形成される部分が開口されたエッチングストップパを形成し、白金族金属層を形成した後リフローさせて開口された部分を充填する。その後、化学-機械的ポリッシング(以下CMP)または全面エッチバックで層間絶縁層上の白金族金属層を除去し、エッチングストップパを除去することによって、白金族金属層パターン及びバリアー層パターンで構成されたストレージ電極を形成する。

【0014】蝕刻マスクを使用せず、CMPまたは全面エッチバックを通じて白金族金属層パターンが形成できるので、白金族金属層と蝕刻選択比が大きいマスクを確保する難しさが無い。

【0015】一方、言及された工程を適切に組合することによっても前記課題が達成できる。即ち、層間絶縁層上部及び層間絶縁層を貫通して形成されたストレージコンタクトホール内部にバリアー層を形成する。この時、言及したように、バリアー層形成前、ストレージコンタクトホールのアスペクト比の向上のためにストレージコンタクトホールの一部を充填する導電性プラグを形成することもできる。次に、層間絶縁層の上部に形成されたバリアー層上にストレージ電極が形成される部分が開口されたエッチングストップパを形成し、白金族金属層を形成した後リフローさせて開口された部分とストレージコンタクトホールを充填する。以後、CMPまたは全面エッチバックで層間絶縁層上の白金族金属層を除去し、エッチングストップパを除去することによって、白金族金属層パターンを形成し、白金族金属層パターンをマスクでバリアー層をバタニングしてストレージ電極を形成する。これにより、ストレージコンタクトホール内部に形成される厚さだけに白金族金属層の厚さがさらに厚くなって、ストレージ電極の接触不良が防止されるだけでなく、蝕刻マスクがなくても白金族金属層パターンが形成できる。

【0016】

【発明の実施の形態】以下、添付した図面を参照して本発明をより詳細に説明する。本発明によるキャパシタ製造方法の実施の形態を説明する前に、この実施の形態で

用いられる白金族金属層形成方法を図2(a)乃至図2(b)を参照して説明する。図2(a)は白金層44を形成する段階を示した断面図であって、半導体基板40の上に絶縁層42を形成し、この絶縁層42を部分的に蝕刻して開口部43を形成した後、その結果物の全面に白金族金属、例えば白金をスパッタ方法を蒸着して白金層44を形成する。この時、前記白金層44は所定の厚さ、例えば1000オングストローム〜2000オングストロームの厚さで形成し、前記白金以外にルテニウム、イリジウム、ロジウム、オスミウム、ルテニウム酸化物、イリジウム酸化物などが使用できる。

【0017】図2(b)は、リフローされた白金層46を形成する段階を示した断面図であって、白金層44が形成された前記結果物を炉、(例えば通常の石英チューブ)に投入して前記白金層44をリフローさせることによって、前記開口部43を充填すると同時にその表面が平坦化された白金層46を得る。ここで、前記白金層44のリフローは650℃以上の温度、例えば約650℃〜900℃の温度と窒素雰囲気中で約5分〜1時間実施することが望ましい。

【0018】このような白金族金属のリフローを用いた白金族金属層形成方法は色々と応用ができるが、特にキャパシタのストレージ電極形成時これを適用するとバリアー層の側面を通じて浸透される酸素の拡散によるストレージ電極の接触不良防止または、ストレージ電極の形成が容易になるなどの利点が発生する。これを第1の実施の形態乃至第14の実施の形態を通じて説明する。

【0019】図3(a)から(c)及び図4(a)〜(c)は本発明によるキャパシタ製造方法の第1の実施の形態を説明するために示した断面図である。図3(a)はストレージコンタクトホール54を形成する段階を示した断面図であって、半導体基板50の上に絶縁物、例えば不純物がドーブされない酸化物(以下「USG」という。)を蒸着して層間絶縁層55を形成し、これを通常の方法でバタニングして前記基板50の所定部分を露出させるストレージコンタクトホール54を形成する。

【0020】図3(b)は、バリアー層60を形成する段階を示した断面図であって、ストレージコンタクトホール54が形成された前記基板の全面に、バリアー金属、例えばチタニウム窒化物を化学気相蒸着法で蒸着してバリアー層60を形成する。前記バリアー層60は従来とは違い、導電性プラグ(図1の16参照)を形成しない状態で蒸着されるので、前記層間絶縁層55の上面だけでなく前記ストレージコンタクトホール54の内面全体に形成される。また、前記バリアー層60は、チタニウム窒化物を含む耐火金属、例えばYiN、CoSi、TaSiN、TiSiN、TaSi、TiSi、Ta、TaN中いずれか一つで形成されたり、白金族金属の酸化物で形成できる。

【0021】一方、バリアー層60を形成する前に、シ

リコン基板とのオームコンタクトを形成してストレージ電極の接触抵抗を減少させることができるように、基板表面に金属シリサイド層、例えばチタニウムシリサイド層を形成することが望ましい。このチタニウムシリサイド層はチタニウムを蒸着した後アニール工程を通じて形成できる。この時、チタニウムの代わりにシリコン基板とシリサイドが形成できる物質、例えば窒化タングステンとか、タングステンも使用できる。

【0022】図3(c)は、白金層65を形成する段階を示した断面図であって、前記バリアー層60の上にストレージ電極に使われる白金族金属、例えば白金をスパッタリング方法で蒸着して白金層65を形成する。前記白金層65は所定の厚さ、例えば1000オングストローム～2000オングストロームの厚さで形成するのが望ましいし、前記白金の代わりにルテニウム、イリジウム、ロジウム、オスミウム及びこの酸化物中いずれか一つが使用できる。

【0023】前記白金層65の形成前、前記バリアー層60と白金層65との間に前記白金層を通過する酸素の拡散防止を目的とする酸素拡散防止膜(図示せず)がさらに形成でき、この酸素拡散防止膜としてIr、Ru、RuO₂、IrO₂またはこれが積層して形成された物質層が使われることができる。

【0024】図4(a)は、前記白金層(図3(c)の65)をリフローする段階を示す断面図であって、白金層65が形成された前記結果物を炉、例えば石英チューブに投入し熱を加えて前記白金層65をリフローさせることによって、前記ストレージコンタクトホール54を充填とその表面が平坦化された白金層70を得る。前記リフローは、図2(b)を参照して説明したように650℃以上の温度、望ましくは約650℃～900℃の温度で遂行する。また、大気圧下の窒素雰囲気中で約5分～1時間実施することが望ましい。

【0025】前記リフローにより平坦化された白金層70と半導体基板50は、ストレージコンタクトホール54の底面でバリアー層60を通して接触するようになる。従来の場合、導電性プラグ(図1(b)の16)と白金層パターン(図1(b)の24)の間のストレージコンタクトホール54の上端に備わったが、本発明の第1の実施の形態ではバリアー層60がストレージコンタクトホール54の底面に備わる。図4(b)は、ストレージ電極82を形成する段階を示す断面図であって、前記平坦化された白金層70の上に絶縁物、例えば酸化物を5000オングストローム以上の厚さで蒸着して蝕刻マスクに使われるマスク層を形成し、これをパタニングしてマスクパターン(図示せず)を形成する。引続きこのマスクパターンを利用して、前記平坦化された白金層(図4(a)の70)及びバリアー層(図4(a)の60)を次第に蝕刻することによって、白金層パターン75及びバリアー層パターン80よりなるストレージ電極

82を形成する。

【0026】このように形成されたストレージ電極82によると、ストレージコンタクトホール54の底部に形成されたバリアー層パターン80と白金層パターン75の上部表面が充分の距離(ストレージコンタクトホールの深さと白金層パターン及びバリアー層パターンの厚さを合せた距離)が維持できる。即ち、以後の誘電体膜形成時用いられる酸素が、白金層パターン75を通過してストレージコンタクトホールの底面に形成されたバリアー層パターン80と結びつくことが防止できる。

【0027】結果的に、層間絶縁膜55の上部に形成される白金層パターン75を厚く形成しなくても、酸素が白金層を通過してバリアー層と結びつくことが防止される。さらに、バリアー層の側面に酸素が浸透してもストレージコンタクトホール底面に到達するための拡散距離が長くて、酸素拡散によるチタニウム酸化膜の形成が抑制できる。

【0028】図4(c)は、誘電体膜85及びプレート電極90を形成する段階を示す断面図であって、ストレージ電極82が形成された前記基板上に誘電物質、例えばBSTをスパッタリングまたはMOCVD方法で蒸着して誘電体膜85を形成し、その上にプレート電極90を形成することによってキャパシタを完成する。BSTの代わりに使われうる誘電物質には、Ta₂O₅、SiO₂、SiN₄、SrTiO₃、PZT、SrBi₂Ta₂O₉、(Pb、La)(Zr、Ti)O₃、Bi₄Ti₃O₁₂などがあり、この物質中一つ以上を組合して使用することもできる。

【0029】前記本発明によるキャパシタ製造方法の第1の実施の形態によれば、導電性プラグを形成しないで白金層をリフローさせてストレージコンタクトホールを充填する。これにより、白金層パターン75の表面及びバリアー層パターン80の側面を通じて拡散される酸素が、ストレージコンタクトホールの底面に形成されたバリアー層と接触されるために拡散されるべき距離が長くなる。従って、バリアー層の酸化が抑制でき、結果的にストレージ電極の接触不良とか、酸素または金属原子の拡散防止機能低下による漏洩電流などが防止されるので、半導体素子の電気的特性が低下しない。また、ストレージ電極を厚く形成しなくても良いので、従来に比べてパタニングが容易なだけでなくキャパシタが形成されない部分との段差を減少させる。

【0030】図5(a)及び図5(b)は本発明によるキャパシタ製造方法の第2の実施の形態を説明するために示した断面図である。第2の実施の形態はストレージコンタクトホール54の一部を充填する導電性プラグ57を形成することを除いては前記第1の実施の形態と同一である。

【0031】図5(a)は、導電性プラグ57及びバリアー層60を形成する段階を示した断面図であって、層間絶縁層55をパタニングしてストレージコンタクトホ

10

20

30

40

50

ール54を形成する段階(図3(a)参照)までは、前記第1の実施の形態と同一に進行した後、ストレージコンタクトホールが形成された結果物全面に導電物、例えばポリシリコンを蒸着して前記ストレージコンタクトホール54を充填し、前記層間絶縁層55の上に一定の厚さを有する導電層を形成する。

【0032】その後、前記導電層の一部を除去して前記ストレージコンタクトホールを一定の深さで満たす導電性プラグ57を形成する。引続き、導電性プラグ57が形成された基板全面に、第1の実施の形態と同じ方法でバリアー層60を形成する。前記導電性プラグ57は、導電層形成後エッチバック工程を遂行して層間絶縁層55の上の導電層を除去した後、ストレージコンタクトホール54を充填している前記導電層をオーバーエッチングして形成できる。

【0033】この時、前記エッチバック工程の代わりに、CMP工程を遂行して層間絶縁層55の上の導電層を除去し、CMP工程の除去比を調節して導電層と層間絶縁層の蝕刻選択比を調節することによって、ストレージコンタクトホール54の一部を満たす前記導電性プラグ57を形成することもできる。

【0034】図5(b)は、ストレージ電極82、誘電体膜85及びプレート電極90よりなるキャパシタを形成する段階を示した断面図であって、導電性プラグ57が形成された前記結果物上に、図3(c)乃至図4

(b)に示したことと同じ方法で白金層パターン75及びバリアー層パターン80よりなるストレージ電極82を形成する。その後、ストレージ電極82が形成された基板上に、誘電体膜85及びプレート電極90を形成することによってキャパシタを完成する。前記導電性プラグ57がストレージコンタクトホールを充填する程度、即ち導電性プラグ57の厚さは、ストレージコンタクトホールのアスペクト比を考慮して決定するが、例えばストレージコンタクトホールのアスペクト比が大きい場合、前記導電性プラグ57の厚さが厚いことが望ましい。

【0035】このようにストレージコンタクトホールの一部を導電性プラグで充填する本発明の第2の実施の形態は特に、ストレージコンタクトホールのアスペクト比が大きい場合に有利である。図6(a)及び図6(b)は、本発明によるキャパシタ製造方法の第3の実施の形態を説明するために示した断面図である。第3の実施の形態はバリアー層(図3(b)の60)の形成後、ストレージコンタクトホール54の内部を除いた領域に形成されたバリアー層を除去することを除いては前記第1の実施の形態と同一である。

【0036】図6(a)は、バリアー層パターン58を形成する段階を示した断面図であって、図3(a)及び図3(b)に示したように、ストレージコンタクトホール54及びバリアー層60を形成する段階まで、前記第1の実施の形態と同一に進行する。次にCMP工程または

エッチバック工程で層間絶縁膜55の上に形成されたバリアー層を除去することによって、ストレージコンタクトホール54の内部に限られたバリアー層パターン58を形成する。図6(b)は、ストレージ電極82、誘電体膜85及びプレート電極90を形成する段階を示した断面図であって、バリアー層パターン58が形成された前記結果物上に、図3(c)乃至図4(b)に示したことと同じ方法で白金層形成、リフロー及びバタニング工程を経て、白金層パターン75及びバリアー層パターン58よりなるストレージ電極82を形成する。

【0037】その後、ストレージ電極82が形成された基板上に、誘電体膜85及びプレート電極90を形成することによってキャパシタを完成する。前記本発明の第3の実施の形態によれば、バリアー層パターン58がストレージコンタクトホールの内部に限られて形成されるので、誘電体膜85の形成時バリアー層パターンの側面が露出されない。従って、バリアー層の酸化抑制にもっと有利である。図7(a)及び図7(b)は本発明によるキャパシタ製造方法の第4の実施の形態を説明するために示した断面図である。第4の実施の形態はストレージコンタクトホール54の一部を充填する導電性プラグ57を形成することを除いては、前記第3の実施の形態と同一である。

【0038】図7(a)を参照すると、前記第2の実施の形態(図5(a)参照)でのようにストレージコンタクトホールの一部を充填する導電性プラグ57を形成した後、導電性プラグ57が形成された前記基板の全面にバリアー層を形成し、前記第3の実施の形態(図6

(a)参照)のように、CMP工程またはエッチバック工程で層間絶縁膜55の上に形成されたバリアー層を除去することによって、ストレージコンタクトホール54の内部に限られたバリアー層パターン58を形成する。図7(b)は、ストレージ電極82、誘電体膜85及びプレート電極90を形成する段階を示した断面図であって、前記第3の実施の形態(図6(b)参照)と同じ方法で進行してストレージ電極82、誘電体膜85及びプレート電極90よりなるキャパシタを完成する。

【0039】本発明の第4の実施の形態は、導電性プラグ57でストレージコンタクトホール54の一部を充填するので、第2の実施の形態と同じように、ストレージコンタクトホールのアスペクト比が大きい場合に有利で、またバリアー層パターン58がストレージコンタクトホール内部に限定されて形成されるので第3の実施の形態と同じように、誘電体膜85の形成時バリアー層パターン58の側面が露出されない。

【0040】以上説明したように、前記第1乃至第4の実施の形態は全て白金をリフローさせてストレージコンタクトホールの全体または一部を充填する白金層パターンを形成することによって、白金層パターン表面と、白金層パターンとバリアー層パターンが接触する境界

面、またはバリアー層パターンとシリコン基板（または導電性プラグ）が接触する境界面が距離を十分に維持できる。従って、従来とは違い白金層を厚く形成しなくても、酸素が白金層を通過してバリアー層と結びつくことが防止される。だけでなく、バリアー層の側面に酸素が浸透してもその拡散距離が長くなるので、バリアー層パターンと白金層パターン界面に酸素拡散による酸化膜、例えばチタニウム酸化膜の形成が抑制できる。

【0041】一方、白金層パターンを形成するための蝕刻マスクには、白金に比べて蝕刻率が低い物質を使用するべきであることが望ましいが、言及したように白金が非常に硬い耐熱性金属であるので、白金より蝕刻率が低いマスクを確保し難い。しかし、本発明のような白金リフローを利用すれば、蝕刻マスクを使用しなくても白金パターンが形成できるが、これを第5の実施の形態及び第6の実施の形態を参照して説明する。

【0042】図8(a)乃至図8(c)は、本発明によるキャパシタ製造方法の第5の実施の形態を説明するために示した断面図である。図8(a)はストレージコンタクトホール54を形成する段階を示した断面図であって、半導体基板50の上に絶縁物、例えば不純物がドーブされない酸化物（以下「USG」という）と窒化物を次第に蒸着して層間絶縁層55及び蝕刻防止層56を形成し、これを通常の方法でパタニングして前記基板50の所定部分を露出させるストレージコンタクトホール54を形成する。

【0043】前記蝕刻防止層56は、以後形成されるエッチングストップバ（図8(c)の63）のパタニング時、前記層間絶縁層55が蝕刻されることを防止するために形成することであって、エッチングストップバが前記層間絶縁層55に対して蝕刻選択比が大きい物質よりなる場合、前記蝕刻防止層56を形成しない場合もありうる。図8(b)は、導電性プラグ57及びバリアー層パターン59を形成する段階を示した断面図であって、前記導電性プラグ57は、前記第2の実施の形態（図5(a)参照）から説明されたことと同じように、ストレージコンタクトホール54が形成された基板全面に導電物、例えば不純物がドーブされたポリシリコンを蒸着してストレージコンタクトホール54を充填する導電層を形成した後、エッチバックまたはCMP工程を経て平坦化し、ストレージコンタクトホール内部に形成された導電層の一部をオーバーエッチングして形成する。

【0044】この時オーバーエッチングされる深さは、以後形成されるバリアー層の厚さと同一にすることが望ましい。引続き、導電性プラグ57が形成された基板全面にバリアー金属、例えばチタニウム窒化物を化学気相蒸着法で蒸着した後、前記蝕刻防止層56が露出されるまで蝕刻することによって、前記導電性プラグ57の上にバリアー層パターン59を形成する。前記バリアー金属としてチタニウム窒化物以外に、第1の実施の形態から

言及された耐火金属が使われうり、オームコンタクト形成のための金属シリサイド層がバリアー層パターン59と導電性プラグ57の間に形成できる。

【0045】前記バリアー層パターン59は、導電性プラグ57のオーバーエッチングにより開口されたストレージコンタクトホール54の上端を充填するように形成されるので、その側面が露出されない。図8(c)はエッチングストップバ63及び白金層65を形成する段階を示した断面図であって、蝕刻防止層56及びバリアー層パターン59の上に、白金との湿式蝕刻選択比が大きい物質、例えば酸化物を蒸着した後パタニングして、ストレージ電極が形成される部分が開口されたエッチングストップバ63を形成する。次に、エッチングストップバ63が形成された基板上にストレージ電極に使われる白金族金属、例えば白金を蒸着して白金層65を形成する。前記白金層65は、前記第1の実施の形態（図3(c)参照）と同じように1000～2000オングストロームの厚さで形成されることが望ましいし、例えばスパッタリング方法で形成できる。

【0046】図9(a)は、前記白金層65をリフローする段階を示した断面図であって、前記第1の実施の形態と同じ方法を利用して前記白金層65をリフローすることによって、前記エッチングストップバ63により開口された部分を充填しその表面が平坦化された白金層70を得る。図9(b)は、ストレージ電極82を形成する段階を示した断面図であって、前記エッチングストップバ63が露出されるまで前記平坦化した白金層70に対するCMP工程を遂行することによって白金層パターン75を形成する。従って、白金層パターン75及びバリアー層パターン59よりなるストレージ電極82が形成される。

【0047】このようにCMP工程を利用して白金層パターン75を形成するので、従来とは違って蝕刻マスクが要らない。図9(c)は、誘電体膜85及びプレート電極90を形成する段階を示した断面図であって、ストレージ電極82が形成された基板上に誘電物、例えばBSTまたはPZTを例えばスパッタリング方法に蒸着して誘電体膜85を形成する。引続き、前記誘電体膜85の上にプレート電極90を形成することによってキャパシタを完成する。

【0048】この時、示したように前記誘電体膜85及びプレート電極90は、前記エッチングストップバ63を除去しない状態で形成されるので、ストレージ電極の上面だけキャパシタで作用する。これと違い、図10に示したように誘電体膜85の形成前前記エッチングストップバ63をエッチング液、例えばBOE(Buffered Oxide Etchant)を利用して除去し、その結果物全面に誘電物、例えばBSTまたはPZTを化学気相蒸着法で蒸着して誘電体膜85を形成することもできる。このようにしてストレージ電極の有効表面積の増加によるキャパシタンス上昇効

果が期待できる。

【0049】図11(a)から図11(c)までは、本発明によるキャパシタ製造方法の第6の実施の形態を説明するために示した断面図である。第6の実施の形態は前記平坦化した白金層70をCMPする代わりに、全面エッチバックして白金層パターンを形成することを除いては前記第5の実施の形態と同一である。図11(a)は、平坦化した白金層70を形成する段階を示したことであり、第5の実施の形態の図8(a)乃至図8(c)に示したと同じ方法で進行して、平坦化した白金層70を得る。

【0050】図11(b)は、白金層パターン76を形成する段階を示した断面図であって、平坦化された白金層70をCMPして白金層パターン(図9(b)の75)を形成する第5の実施の形態とは違い、平坦化された白金層70及びエッチングストップ63を全面エッチバックした。この時、酸化物よりなるエッチングストップ63の蝕刻速度が平坦化された白金層70のそれよりずっと早いので、前記エッチバックを前記蝕刻防止層56が露出されるまで進行すると、図10に示したようにその上端の角が削られた形態の白金層パターン76が形成される。

【0051】従って、第5の実施の形態でCMP工程後、エッチングストップ63を除去する工程を経て白金層パターン(図11の75参照)を形成することとは違い、全面エッチバックを通じて白金層パターン76の形成とエッチングストップ63の除去ができるので製造工程の単純化が可能である。図11(c)は、誘電体膜85及びプレート電極90を形成する段階を示した断面図であって、バリアー層パターン59及び白金層パターン76よりなるストレージ電極82の上に、誘電体膜85及びプレート電極90を形成してキャパシタを完成する。

【0052】以上説明したように、前記第5及び第6の実施の形態によれば、その一部分が開口されたエッチングストップ63を形成し、白金を蒸着した後リフローさせて、エッチングストップの開口された部分を充填し、CMPまたは全面エッチバック工程を遂行して白金層パターンを形成する。従って白金層パターン75を形成するための蝕刻マスクが必要ないし、従来より容易な方法で白金層パターン75が形成できる。一方、言及した本発明の目的は、前記第1から第6の実施の形態までを二つ以上組合することによりも達成でき、これを第7から第14までの実施の形態を通じて説明する。

【0053】図12(a)～(c)及び図13(a)・(b)は、本発明によるキャパシタ製造方法の第7の実施の形態を説明するために示した断面図である。第7の実施の形態は、第1の実施の形態(図3(a)乃至図4(c)参照)と第5の実施の形態(図8(a)から(c)及び図9(a)から(c)参照)を組合したことであり、バリアー層をストレージコンタクトホール内

部の全面に形成し(第1の実施の形態)、蝕刻マスクなく白金層パターンを形成すること(第5の実施の形態)を特徴とする。

【0054】図12(a)は、バリアー層60及びエッチングストップ63を形成する段階を示した断面図であって、第1の実施の形態の図3(a)及び図3(b)に示したように、半導体基板50の上に層間絶縁層55、ストレージコンタクトホール54及びバリアー層60を形成した後、第5の実施の形態の図8(c)に示したようにストレージ電極が形成される部分が開口されたエッチングストップ63を形成する。

【0055】図12(b)は、白金層65を形成する段階を示した断面図であって、エッチングストップ63が形成された基板全面に白金層65を形成する。図12(c)は、平坦化された白金層70を形成する段階を示した断面図であって、前記白金層65を第1の実施の形態のようにリフローさせることによって、ストレージコンタクトホール54及びエッチングストップ63により開口された部分を充填する。

【0056】図13(a)は、白金層パターン75を形成する段階を示した断面図であって、前記エッチングストップ63が露出されるまで平坦化工程、例えばCMP工程を遂行して白金層パターン75を形成する。図13(b)は、ストレージ電極82を形成する段階を示した断面図であって、前記エッチングストップ(図13(a)の63)を除去した後、前記白金層パターン75を蝕刻マスクに使用して、前記バリアー層(図13(a)の60)を蝕刻することでバリアー層パターン80を形成する。これにより白金層パターン75及びバリアー層パターン80よりなるストレージ電極82が形成される。

【0057】以後、第1の実施の形態と同じ方法で誘電体膜及びプレート電極を形成することによってキャパシタを形成する。前記第7の実施の形態で完成されたストレージ電極は、結果的に第1の実施の形態で形成されたストレージ電極(図4(b)参照)と同じ構造を有する。従って、第1の実施の形態と同じ効果、即ち以後の誘電体膜形成時白金層パターン75の表面及びバリアー層パターン80の側面を通じて広がる酸素の拡散距離が長くなり、これによりストレージ電極の接触不良などの問題が発生されない。だけでなく、第5の実施の形態と同じように、蝕刻マスクなく白金層パターン75を形成することができる。

【0058】図14(a)から(c)は、本発明によるキャパシタ製造方法の第8の実施の形態を説明するために示した断面図である。第8の実施の形態は、第2の実施の形態(図5(a)及び図5(b)参照)と第5の実施の形態(図8(a)～(c)及び図9(a)～(c)参照)を組合せたことであり、ストレージコンタクトホール54の一部を充填する導電性プラグ57を形成

することを除いては、前記第7の実施の形態と同じ方法で進行される。

【0059】即ち、第8の実施の形態によれば、図14(a)のように、ストレージコンタクトホール54の一部を充填する導電性プラグ57と、バリアー層60を第2の実施の形態の図5(a)に示したことで同じ方法で形成した後、ストレージ電極が形成される部分が開口されたエッチングストッパ63を形成する。引続き、前記第7の実施の形態と同じ方法で、図14(b)及び図14(c)に示したように白金層パターン75を形成し、前記エッチングストッパ63を除去した後、白金層パターン75及びバリアー層パターン80よりなるストレージ電極82を形成する。

【0060】前記第8の実施の形態で完成されたストレージ電極82は、結果的に第2の実施の形態でのストレージ電極(図5(b)参照)と同じ構造を有する。従って、第2の実施の形態と同じように、ストレージコンタクトホールのアスペクト比が大きい場合に有利に使われ、さらに蝕刻マスクなく白金層パターンが形成できるので、第2の実施の形態に比べて製造工程の側面から有利である。

【0061】図15(a)から(c)までは、本発明によるキャパシタ製造方法の第9の実施の形態を説明するために示した断面図である。第9の実施の形態は、第1の実施の形態(図3(a)乃至図4(c)参照)と第6の実施の形態(図11(a)～(c)までを参照)を組合せたことであって、白金層パターン形成時、平坦化した白金層(図12(c)及び図15(a)の70)を全面エッチバックすることを除いては前記第7の実施の形態と同一である。

【0062】図15(a)に示したように、平坦化された白金層70を形成する段階まで前記第7の実施の形態と同一に進行した後、前記平坦化された白金層70及びエッチングストッパ63を、第6の実施の形態(図11(b)参照)のように全面エッチバックして、図15(b)に示したことで同じように上端の角が削られる形態の白金層パターン76を形成する。続いて、図15(c)と同じように、前記白金層パターン76をマスクとして使用し、前記バリアー層(図15(b)の60)を蝕刻することで、白金層パターン76及びバリアー層パターン80よりなるストレージ電極82を形成する。

【0063】図16は、本発明によるキャパシタ製造方法の第10の実施の形態を説明するために示した断面図である。第10の実施の形態は、第2の実施の形態(図5(a)及び図5(b)参照)と第6の実施の形態(図11(a)から(c)参照)を組合せたことであって、ストレージコンタクトホール54の内部一部を満たす導電性プラグ57を形成することを除いては、前記第9の実施の形態と同一である。

【0064】図17は、本発明によるキャパシタ製造方法の第11の実施の形態を説明するために示した断面図である。第11の実施の形態は、第3の実施の形態(図6(a)及び図6(b)参照)と第5の実施の形態(図11(a)～(c)参照)を組合せたことであって、ストレージコンタクトホール54の内部に限定されるようにバリアー層パターン58を形成することを除いては前記第7の実施の形態と同一である。

【0065】図17を参照すると、ストレージコンタクトホール内部に限られたバリアー層パターン58を形成し、その結果物上に前記第7の実施の形態(図12(a)～(c)及び図13(a)・(b)参照)と同じ方法でエッチングストッパ(図13(a)・(b)の63)及び白金層パターン75を形成し、前記エッチングストッパを除去する。この時、層間絶縁膜55の上に、示したように前記層間絶縁層55が蝕刻されることを防止するための蝕刻防止層56をさらに形成することが望ましいし、エッチングストッパが前記層間絶縁層55に対して蝕刻選択比が大きい物質よりなる場合には形成しない時もある。

【0066】図18は、本発明によるキャパシタ製造方法の第12の実施の形態を説明するために示した断面図である。第12の実施の形態は、第4の実施の形態(図7(a)及び図7(b)参照)と第5の実施の形態(図8(a)～(c)及び図9(a)～(c)参照)を組合せたものであって、図18に示したように、ストレージコンタクトホール54の内部一部を充填する導電性プラグ57を形成することを除いては前記第11の実施の形態と同一である。

【0067】図19は、本発明によるキャパシタ製造方法の第13の実施の形態を説明するために示した断面図である。第13の実施の形態は、第3の実施の形態(図6(a)・(b)参照)と第6の実施の形態(図11(a)～(c)参照)を組合せたことであって、図19に示したように、全面エッチバック工程を通じてその角が削られた形態の白金層パターン76を形成することを除いては、前記第11の実施の形態と同一である。

【0068】図20は、本発明によるキャパシタ製造方法の第14の実施の形態を説明するために示した断面図である。第14の実施の形態は、第4の実施の形態(図7(a)及び図7(b)参照)と第6の実施の形態(図11(a)～(c)参照)を組合せたことであって、図19に示したように、ストレージコンタクトホール54の内部一部を充填する導電性プラグ57を形成することを除いては、前記第13の実施の形態と同一である。

【0069】

【発明の効果】前述したように本発明によるリフローを用いた白金族金属層形成方法をキャパシタストレージ電極形成に使用する場合の利点は大きく次のように要約できる。第一に、誘電体膜形成時、白金層パターン上面ま

10

20

30

40

50

たは露出されたバリヤー層側面に浸透される酸素拡散により半導体素子の電気的特性が低下することが防止される。

【0070】白金層をリフローにより白金層パターンとバリヤー層パターンが、ストレージコンタクトホール内部で基板または導電性プラグと接触される。即ち、白金層パターン表面またはバリヤー層パターン側面に浸透された酸素が、基板または導電性プラグと接する部分のバリヤー層に到達できない程に白金層パターン表面とバリヤー層パターン間の距離が維持される。従って、酸素拡散距離が長いので、バリヤー層パターンと白金層パターンの界面に酸素拡散による酸化膜、例えばチタニウム酸化膜の形成が抑制される。

【0071】第二に、白金族金属パターン形成時、蝕刻マスクを使用しないため、従来より容易の方法で白金層パターンが形成できる。本発明が前記の実施の形態に限られず、多くの変形が本発明の技術的な思想内で当分野で通常の知識を有する者によって可能であることは明白である。

【図面の簡単な説明】

【図1】 従来技術による白金を用いたキャパシタストレージ電極形成方法を説明するために示した断面図である。

【図2】 本発明による白金族金属層形成方法の一実施の形態を説明するために示した断面図である。

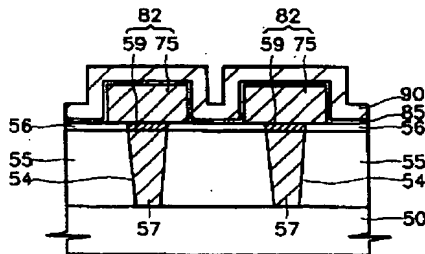
【図3】 本発明によるキャパシタ製造方法の第1の実施の形態を説明するために示した断面図である。

【図4】 本発明によるキャパシタ製造方法の第1の実施の形態を説明するために示した断面図である。

【図5】 本発明によるキャパシタ製造方法の第2の実施の形態を説明するために示した断面図である。

【図6】 本発明によるキャパシタ製造方法の第3の実施の形態を説明するために示した断面図である。

【図10】



*【図7】 本発明によるキャパシタ製造方法の第4の実施の形態を説明するために示した断面図である。

【図8】 本発明によるキャパシタ製造方法の第5の実施の形態を説明するために示した断面図である。

【図9】 本発明によるキャパシタ製造方法の第5の実施の形態を説明するために示した断面図である。

【図10】 本発明によるキャパシタ製造方法の第5の実施の形態を説明するために示した断面図である。

【図11】 本発明によるキャパシタ製造方法の第6の実施の形態を説明するために示した断面図である。

【図12】 本発明によるキャパシタ製造方法の第7の実施の形態を説明するために示した断面図である。

【図13】 本発明によるキャパシタ製造方法の第7の実施の形態を説明するために示した断面図である。

【図14】 本発明によるキャパシタ製造方法の第8の実施の形態を説明するために示した断面図である。

【図15】 本発明によるキャパシタ製造方法の第9の実施の形態を説明するために示した断面図である。

【図16】 本発明によるキャパシタ製造方法の第10の実施の形態を説明するために示した断面図である。

【図17】 本発明によるキャパシタ製造方法の第11の実施の形態を説明するために示した断面図である。

【図18】 本発明によるキャパシタ製造方法の第12の実施の形態を説明するために示した断面図である。

【図19】 本発明によるキャパシタ製造方法の第13の実施の形態を説明するために示した断面図である。

【図20】 本発明によるキャパシタ製造方法の第14の実施の形態を説明するために示した断面図である。

【符号の説明】

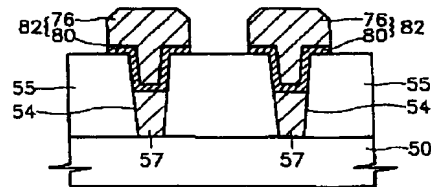
40 半導体基板

42 絶縁層

43 開口部

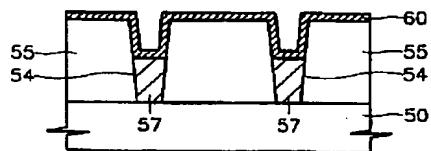
* 44, 46 白金層

【図16】

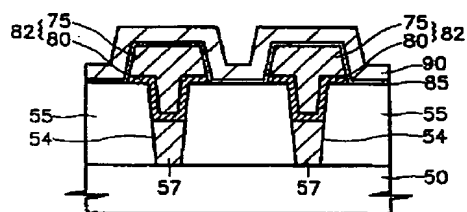


【図5】

(a)

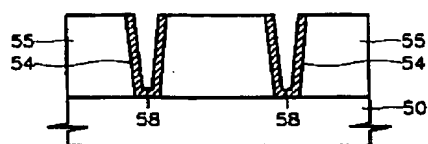


(b)

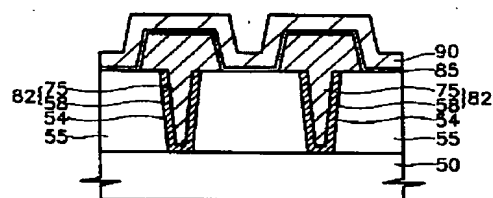


【図6】

(a)

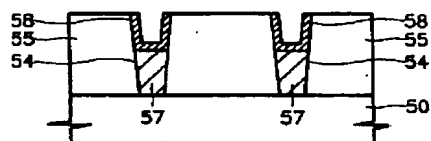


(b)

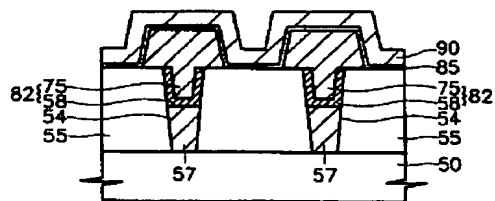


【図7】

(a)

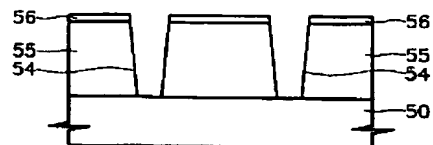


(b)

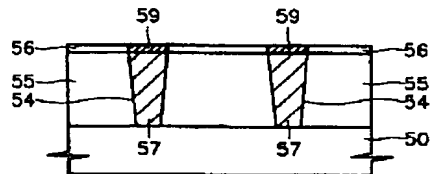


【図8】

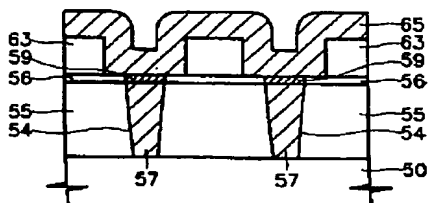
(a)



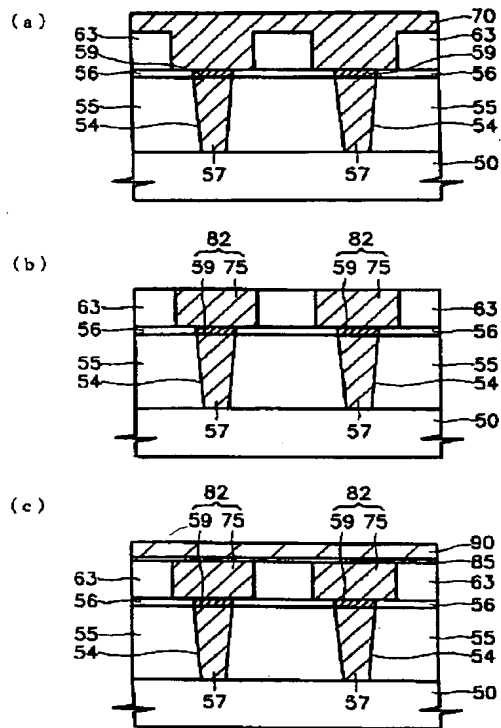
(b)



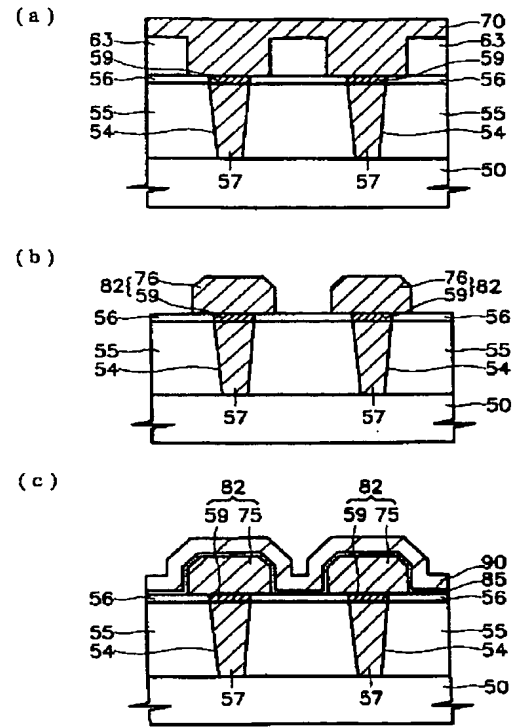
(c)



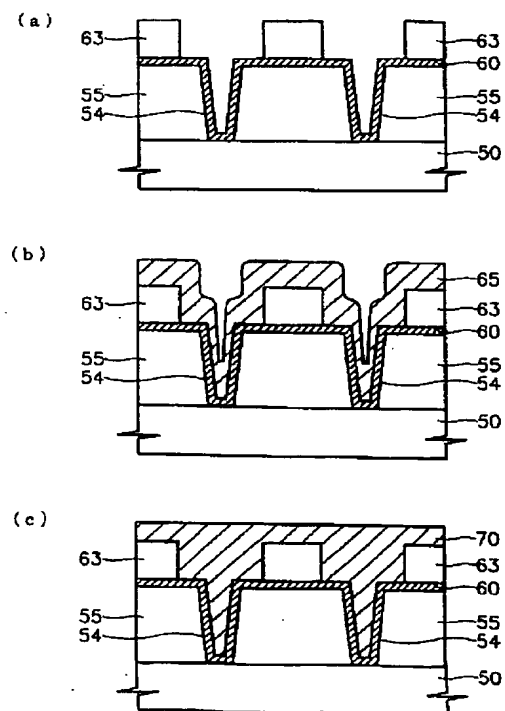
【図9】



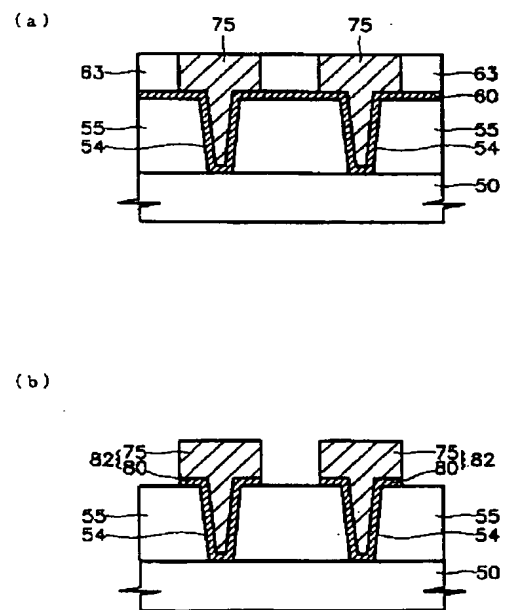
【図11】



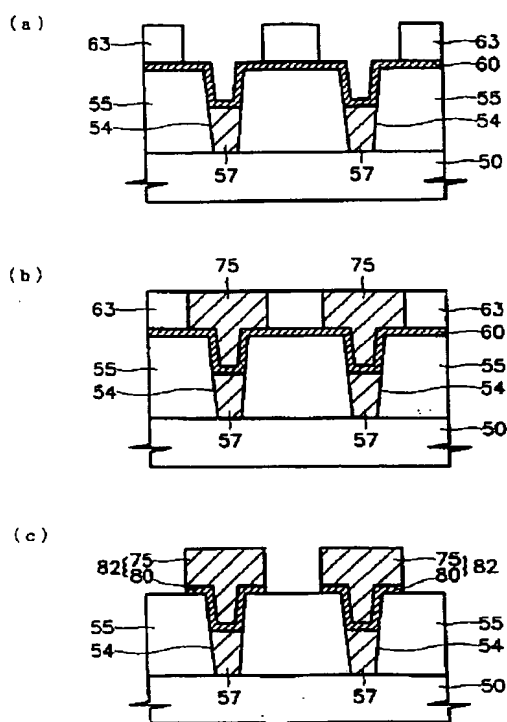
【図12】



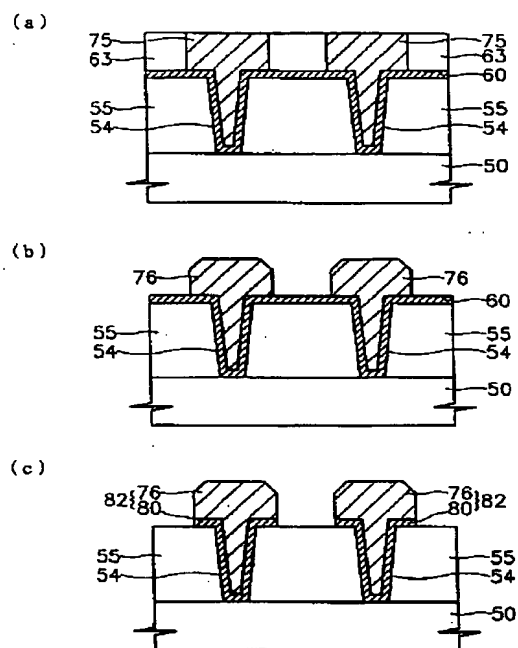
【図13】



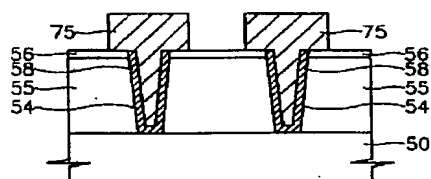
【図14】



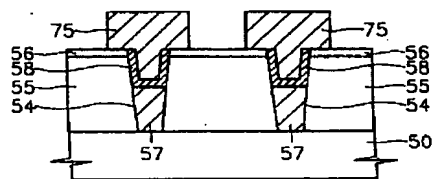
【図15】



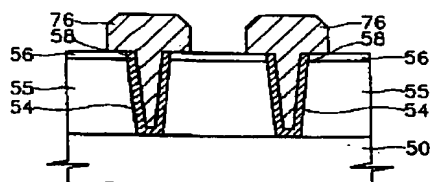
【図17】



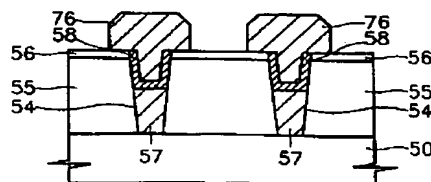
【図18】



【図19】



【図20】



フロントページの続き

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 27/04

21/822

(72)発明者 ▲黄▼ 斗燮

大韓民国京畿道城南市盆唐區九美洞22番地
カーチマウル建榮ビルー302棟403號

(72)発明者 趙 學▲柱▼

大韓民国ソウル特別市瑞草區方背本洞8-
5番地